

KR1999-51079

#### Abstract

The present invention relates to a manufacturing method of an LDMOS (lateral double diffused MOS) element as a high voltage power element where an insulation film of a gate extended region (Le region in Fig. 1) in a drift region is configured to be inclined. Generally, in a case where a drive IC using the LDMOS is manufactured, a gate oxide film is made thick in a p-channel LDMOS and thin in a n-channel LDMOS. Therefore, in the aspect of reliability, in a case of the n-channel LDMOS having a thin oxide film, the gate oxide film of the gate extended region in the n drift region is easily broken by a high electric field during operation of the element. In this invention, for solving the problem of the conventional high voltage power element, a low temperature oxide film is vapor-deposited on the thin gate oxide film in the gate extended region of the n-channel LDMOS and an insulation film is formed inclined by wet-etching, thereby improving insulation breaking characteristics in the gate extended region due to a high electric field.

등록특허 10-0289056

# (19) 대한민국특허청 (KR) (12) 등록특허공보 (B1)

(51) . Int. Cl. <sup>7</sup>  
H01L 29/78

(45) 공고일자 2001년10월24일  
(11) 등록번호 10-0289056  
(24) 등록일자 2001년02월14일

(21) 출원번호 10-1997-0070318  
(22) 출원일자 1997년12월19일

(65) 공개번호 특1999-0051079  
(43) 공개일자 1999년07월05일

(73) 특허권자 한국전자통신연구원  
정선중  
대전 유성구 가정동 161번지

(72) 발명자 이대우  
대전광역시 유성구 어은동 99 한빛아파트 110동1506호  
노태문  
대전광역시 유성구 신성동 한울아파트 103동 802호  
구진근  
대전광역시 유성구 어은동 한빛아파트 116동 205호  
남기수  
대전광역시 유성구 어은동 한빛아파트 138동 1502호

(74) 대리인 김명섭  
이화익

심사관 : 임동우

## (54) 절연막경사식각을이용한전력소자제조방법

### 요약

본 발명은 고전압 전력소자로서 표류영역(drift region)내에 있는 게이트 확장영역(gate extended region, 도 1의 Le 영역)의 절연막을 경사형 구조로 하는 LDMOS(lateral double diffused MOS) 소자 제조공정에 대한 것이다. 일반적으로 LDMOS를 이용하여 구동 IC를 제작할 경우 게이트 산화막은 p 채널 LDMOS의 경우 두꺼운 반면에, n 채널 LDMOS는 얇은 산화막을 갖는다. 따라서 신뢰성 측면에서 얇은 산화막을 갖는 n 채널 LDMOS의 경우, n 표류영역내에 있는 게이트 확장영역의 산화막은 소자동작시 높은 전계에 의해 게이트 산화막의 파괴가 쉽게 일어난다. 본 발명에서는 이러한 종래의 고전압 전력소자의 문제점을 해결하기 위해 n 채널 LDMOS의 게이트 확장영역에서의 얇은 게이트 산화막위에 저온 산화막을 증착하여 습식식각으로 절연막을 경사지게 함으로서 고전계에 의한 게이트 확장영역의 절연 파괴특성을 개선하였다. 아울러 층간절연막의 단차를 줄이고 p 채널 LDMOS 공정과 함께 제작할 수 있는 고전압 전력소자 제조공정법을 제시하였다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 제조공정에 의해 제작된 전력소자의 단면도.

도 2는 본 발명에 의한 절연막 경사식각을 이용하여 제작된 전력소자의 단면도.

도 3의 (a) 내지 (g)는 본 발명에서 제시된 절연막 경사식각을 이용한 전력소자의 제조 공정 순서도.

< 도면의 주요부분에 대한 부호의 설명 >

- 1 : p형 실리콘기판(p type silicon substrate)
- 2 : p 에피층(p epitaxial layer)
- 3 : 깊은 n 웰 영역(deep n well region)
- 4 : p 표류영역(p drift region)
- 5 : n 표류영역(n drift region)
- 6 : n 웰 영역(n well region)
- 7 : p 웰 영역(p well region)
- 8 : 완충 산화막(Buffer oxide layer)
- 9 : 질화막(Silicon nitride layer)
- 10 : 필드 산화막(Field oxide layer)
- 11, 11a : 1차 게이트 산화막(1<sup>st</sup> gate oxide layer)
- 12 : 게이트 저온 절연막(Gate low temperature insulator layer)
- 13 : 2차 게이트 산화막(2<sup>nd</sup> gate oxide layer)
- 14 : 감광막(Photoresist)
- 15 : 다결정실리콘 게이트 패턴(Polysilicon gate pattern)
- 16, 16a, 16b : p<sup>+</sup> 확산영역(p<sup>+</sup> diffused region)
- 17, 17a, 17b : n<sup>+</sup> 확산영역(n<sup>+</sup> diffused region)
- 18 : 층간 절연막(Interlayer dielectrics)

19 : 소오스 전극(Source electrode)

20 : 게이트 전극(Gate electrode)

21 : 드레인 전극(Drain electrode)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 PDP 및 FED의 구동 IC에 사용될 수 있는 고전압 전력소자로서 표류영역(drift region)내에 있는 게이트 확장영역의 절연막 경사식각공정을 사용하여 제작한 LDMOS(lateral double diffused MOS) 소자 제조공정에 관한 것이다.

LDMOS는 100V용 전력구동 IC에 적용할 때에, 게이트 산화막은 p 채널 LDMOS의 경우 약 1500~3000 Å 두께로 두꺼운 반면에 n 채널 LDMOS는 약 200~300 Å 두께로 얇은 산화막을 갖는다. 따라서 얇은 산화막을 갖는 n 채널 LDMOS는 게이트 확장영역의 산화막이 소자동작시 높은 전계에 의해 절연 파괴가 쉽게 일어나며, 소자의 신뢰성은 급격히 저하된다.

도 1은 종래의 제조공정으로 제작된 고전압용 LDMOS의 단면도를 나타낸 것이다.

100V용 전력 구동 IC의 경우, 게이트 절연막은 p 채널 LDMOS를 위해 고온산화막을 약 1500~3000 Å 두께로 성장시킨 다음, 약 200~300 Å 두께의 얇은 산화막을 성장시킨후 다결정실리콘으로 게이트 패턴을 형성시킨다. 따라서 n 채널 LDMOS는 n 표류영역내에 있는 게이트 확장영역(Le 영역)의 산화막에서 고전계가 인가될 때에 절연파괴가 쉽게 일어나는 취약한 부분으로 남게 된다.

이와같이 종래에는 n 채널 LDMOS의 게이트 확장영역은 채널영역의 절연막 두께와 동일하게 하였다. 그리고 다결정실리콘의 게이트 패턴은 게이트 채널영역 및 게이트 확장영역, n 표류영역내의 필드산화막의 일부영역까지 포함한다. 여기서 n 채널 LDMOS의 게이트 확장영역은 고전계가 인가될 때에 신뢰성 측면에서 절연파괴가 일어나는 취약한 부분으로 남게된다. 그리고 n 채널 및 p 채널 LDMOS를 동시에 제작 할 때에 서로 다른 게이트 산화막 두께로 인해 공정상에서 층간 절연막의 단차가 매우 큰 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 n 채널 및 p 채널 LDMOS를 제작하는 제조공정법으로서 n 채널 LDMOS의 게이트 확장영역의 절연막을 경사형 구조로 함으로서, 종래의 소자공정으로 제작된 전력소자가 갖는 게이트 확장영역에서의 고전압에 의한 절연 파괴현상을 개선하여 궁극적으로 소자의 신뢰성을 개선하기 위함이다.

본 발명에서는 n 채널 LDMOS의 게이트 확장영역의 산화막위에 저온 절연막을 증착하여 습식식각으로 경사지게 함으로서 게이트 확장영역내에서의 절연파괴특성을 개선시켰으며, 동시에 층간절연막의 단차를 줄이고 p 채널 LDMOS공정과 함께 제작할 수 있는 고전압 전력소자 제조방법을 제공한다.

본 발명은 n 채널 LDMOS에서 n 표류영역내의 게이트 확장영역상의 절연막을 경사지게 하는 것이 중요한 기술적 과제이다. 이를 구현하기 위해 도 2에서 제시한 바와 같이 저온절연막을 증착하여 습식식각으로 게이트 확장영역의 절연막을 경사지게 식각을 한 후, n 채널 LDMOS의 채널영역에 200~300 Å 두께의 게이트 산화막을 형성하여 다결정실리콘으로 게이트 패턴을 형성시키는 것이 중요한 공정기술과제이다.

## 발명의 구성 및 작용

도 2는 본 발명에 의한 n 채널 LDMOS에서 게이트 확장영역의 절연막을 습식식각으로 경사지게한 소자의 단면도를 나타낸 것이다.

본 발명에서는 먼저 p 채널 LDMOS에 약 300~1000 Å 두께의 1차 게이트 산화막(11)을 형성시킨 다음 약 1000~3000 Å 두께의 게이트 절연막(12)을 증착시킨다.

이어서 사진전사공정을 이용하여 p 채널 LDMOS 영역과 n 채널 게이트 확장영역의 절연막(12) 및 필드 산화막(10)의 일부영역을 감광막으로 마스킹 한 다음, 습식식각법을 이용하여 n 채널 LDMOS영역의 게이트 저온 절연막(12)을 경사지게 식각한다.

이후 n 채널 LDMOS에 200~300 Å 두께의 2차 게이트 산화막(13)을 형성한 후 다결정실리콘으로 게이트 패턴을 형성시킨 구조이다.

따라서 본 발명으로 제작된 고전압 전력소자는 n 채널 LDMOS에서 게이트 확장영역의 절연막을 경사지게 함으로써 고전계에 의한 절연파괴를 방지하여 소자의 신뢰성을 높일 수 있다. 또한 경사진 절연막을 얻기 위해 저온절연막 증착 및 습식식각법을 사용함으로써 종래의 제조공정으로 제작된 소자구조보다 층간 단차를 줄일 수 있다.

본 발명에서는 도 2에서 제시한 바와 같이, n 채널 LDMOS의 경우 다결정실리콘으로 이루어진 게이트 영역은, 채널영역의 얇은 게이트 산화막과 n 표류영역에서의 게이트 확산영역(도 2의 Le 영역)의 얇은 산화막 및 경사형 절연막구조, 그리고 n 표류영역내에서의 필드산화막위의 저온 절연막의 일부분까지를 포함한다.

아울러 p채널 LDMOS의 경우 다결정실리콘의 게이트 영역은 게이트 채널영역 및 게이트 확장영역에서의 고온산화막과 저온 절연층으로, 그리고 p표류영역내에서의 필드산화막위의 저온 절연막의 일부분까지 구성된다.

여기서 n채널 LDMOS의 경사형 절연막 구조를 구현함으로써 게이트 확장영역의 절연막이 종래의 소자 채널영역의 산화막 두께와 동일한 전력소자에 비해 소자 동작시 on 상태의 고전압에서 절연파괴 특성을 개선할 수 있다.

또한 저온 절연막공정으로 p채널 LDMOS 공정과 함께 제작이 가능하며, 습식식각을 사용함으로써 박막단차를 줄일 수 있는 장점이 있다. 고전압 전력소자로서 종래의 전력소자와 마찬가지로 RESURF(reduced surface field) 효과를 촉진시켜 높은 항복전압이 유지되며, 낮은 on 저항을 얻을 수 있다.

도 3의 (a) 내지 (g)는 본 발명에 의한 경사진 게이트 절연막 구조를 갖는 LDMOS의 바람직한 실시예를 나타낸 것으로, 제조공정을 (a)~(g)에 단계적으로 기술하였다. 실시예로 설명한 제조공정은 n 채널 및 p 채널 LDMOS를 동시에 제작할 수 있는 공정이다.

도 3의 (a)에 도시된 바와 같이, 일반적인 LDMOS 제조공정법을 이용하여 p 형 실리콘 기판(1) 위에 낮은 농도의 p 에피층(2)을 형성한 후, 사진전사 및 식각공정, 불순물 이온주입 및 고온 열처리공정등으로 p 채널 LDMOS가 형성될 영역에 깊은 n 웰(well) (3)을 형성시킨다. 이후, 불순물 농도를 높여 채널영역인 n 웰 영역(6)과, p 표류영역(4)을 형성하고, n 채널 LDMOS 제작을 위해 p 웰 영역(7)과 n 표류영역(5)을 형성시킨다.

이어서, 완충 산화막(8)을 성장시키고, 질화막(9)을 증착시킨다. 이어서 소자간의 격리 및 표류영역에 필드 산화막을 형성시키기 위해 그 부분을 사진전사공정 및 건식식각으로 질화막(9)을 제거한다.

도 3의 (b)에 도시된 바와 같이, 필드 산화막(10)을 성장시킨 후 질화막(9)과 완충 산화막(8)을 제거하고, 얇은 두께의 산화막을 성장시킨 후 p 채널 LDMOS의 문턱전압 조절을 위해 p 채널 영역을 제외한 모든 영역을 마스킹하여 n 형 불순물로서 이온주입을 한후, 얇은 산화막을 제거한다. 다시 약 300~1000 Å 두께의 1차 게이트 산화막(11)을 성장시킨다. 이어서 p 채널 LDMOS의 두꺼운 게이트 절연막 형성을 위해 저온 절연막(12)을 약 1000~2000 Å 두께로 증

착시킨 후, 사진전사공정으로 p 채널 LDMOS 영역과 n 채널 LDMOS의 게이트 확장부분과 필드산화막의 일부영역을 감광막(14)으로 마스킹한다.

도 3의 (c)에 도시된 바와 같이, 습식식각법을 이용하여 n 채널 LDMOS의 저온 절연막(12)을 식각한다. 이때 습식식각 용액은 식각비가 낮은 용액(dilute solution)을 선택한다. 여기서 저온 절연막(12)은 단일 박막이거나 서로 식각비가 다른 다층 절연막을 사용할 수 있다. 결과적으로 n 채널 LDMOS의 게이트 확장영역(도 2의 Le 영역)은 경사진 절연막 구조를 갖게 된다. 이어서 감광막(14)을 제거한 후 얇은 두께의 산화막을 성장하고, p 채널 LDMOS 영역을 마스킹하여 n 채널 LDMOS의 문턱전압을 조절을 위해 n 채널 영역을 제외한 모든 영역을 마스킹하여 p 형 불순물로서 이온주입을 한 후, 감광막을 제거시킨다.

도3의 (d)에 도시된 바와 같이, 다결정 실리콘(15)을 증착한 후 n형 불순물로 도핑(doping)을 한 후, p 채널 및 n 채널 LDMOS의 다결정실리콘 게이트 패턴(15)을 사진전사공정 및 식각공정으로 형성한다.

도 3의 (e)에 도시된 바와 같이, 사진전사공정으로 n 채널 LDMOS영역을 감광막(14)으로 마스킹한 후, p 채널 LDMOS 영역의 소오스/드레인이 형성될 활성영역상의 두꺼운 산화막을 건식식각한다. 이어서 감광막(14)을 제거하고 얇은 산화막을 성장시킨다.

도 3의 (f)에 도시된 바와 같이, p 채널 LDMOS의 소오스 영역(16, 17) 및 드레인 영역(16a), n 채널 LDMOS의 소오스 영역(16b, 17a) 및 드레인 영역(17b) 형성을 위해 n 형 및 p 형의 불순물을 이온주입하여 각각 n<sup>+</sup> 영역 및 p<sup>+</sup> 영역을 형성한다. 이어서 열처리 공정을 한 후 저온에서 층간 절연막(18)을 증착시킨다.

도 3의 (g)에 도시된 바와 같이, 사진전사공정 및 건식식각공정으로 콘택영역(contact region)을 형성한 후 금속박막을 증착시킨다. 이어서 사진전사공정 및 건식식각공정으로 금속배선패턴을 형성하고 열처리공정을 행하면, 본 발명에서 제시한바와 같이 소오스 전극(19), 게이트 전극(20) 및 드레인 전극(21)을 갖는 고전압 전력소자인 n 채널 및 p 채널 LDMOS가 제작된다.

#### 발명의 효과

본 발명은 고전압 전력소자에서 문제가 되고 있는 고전계에 의한 게이트 확장영역에서의 절연막 파괴현상을 해결함으로써 소자의 신뢰성을 높일 수 있다. 또한 저온 절연막을 습식식각함으로써 박막의 단차(step coverage)를 줄일 수 있는 잇점이 있으며, n 채널 및 p 채널 LDMOS 전력소자를 함께 제작할 수 있는 제조공정법이다. 그리고 본 발명을 통해 제작된 전력소자는 향후 PDP 및 FED 구동 IC 등에 널리 적용될 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

하나의 기판상에 p 채널 LDMOS와 n 채널 LDMOS를 제작하는 고전압 전력소자의 제조방법에 있어서,

1차 게이트 산화막(11)에 게이트 저온 절연막(12)을 증착하여 다결정 실리콘게이트 패턴(15)을 갖는 p 채널 LDMOS를 형성하는 단계와,

게이트 확장영역상에 1차 게이트 산화막(11a)과 게이트 저온 절연막(12)을 형성한 후 감광막 마스크를 사용하여 경사지게 습식식각을 하고, 2차 게이트 산화막(13)을 성장시킨 후 다결정실리콘 게이트 패턴(15)을 갖는 n 채널 LDMOS를 형성하는 단계를 포함하며,

상기 게이트 저온 절연막의 습식식각시 n 채널 및 p 채널 LDMOS 소자의 필드 산화막의 일부분을 식각하여 표면단차(surface step coverage)를 줄이는 것을 특징으로 하는 고전압 전력소자 제조방법.

## 청구항 2.

LDMOS의 제조 방법에 의해 기판상에 p 채널 LDMOS와 n 채널 LDMOS를 제작하는 고전압 전력소자의 제조방법에 있어서,

LDMOS 제조법을 이용하여 p 채널 LDMOS와 n 채널 LDMOS의 활성영역(active region)을 형성하기 위해 필드 산화막(10)을 형성한 이후에,

얇은 두께의 산화막을 성장시킨 후, p 채널 LDMOS의 문턱전압 조절을 위해 p 채널 영역을 제외한 모든 영역을 마스크하여 n 형 불순물로서 이온 주입을 하고, 상기 얇은 산화막을 제거한 후, 1차 게이트 산화막(11, 11a)을 성장시키는 단계와,

p 채널 LDMOS의 두꺼운 게이트 절연막 형성을 위하여 저온 절연막(12)을 증착한 후, 사진 식각공정으로 p 채널 LDMOS 영역과 n 채널 LDMOS의 게이트 확장부분과 필드 산화막의 일부 영역을 감광막으로 마스크하는 단계와,

상기 감광막 마스크를 이용하여 n 채널 LDMOS의 게이트 확장영역에 경사지 swjfdus막 구조를 갖도록 상기 저온 절연막을 습식식각하는 단계와,

이어서 감광막을 제거하고 얇은 두께의 산화막을 형성한 후, n 채널 LDMOS의 문턱전압 조절을 위해 n 채널 영역을 제외한 모든 영역을 마스크하여 p 형 불순물을 이온주입 한 후 상기 감광막을 제거하는 단계를 포함하여

n 채널 LDMOS영역의 게이트 저온 절연막을 경사지게 형성하여 전력소자를 제조하는 것을 특징으로 하는 고전압 전력소자 제조방법.

## 청구항 3.

제 2항에 있어서,

상기 1차 게이트 산화막은 300~1000 Å 두께로 성장시키고, 상기 게이트 저온 절연막은 1000~2000 Å 두께로 증착하는 것을 특징으로 하는 고전압 전력소자 제조방법.

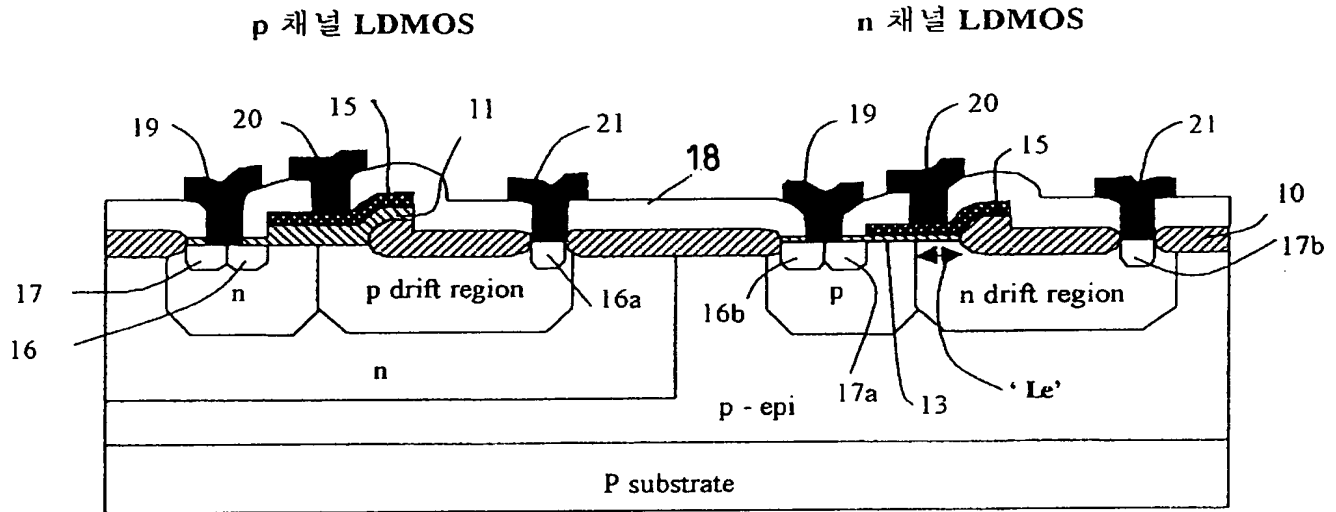
## 청구항 4.

제 2 항에 있어서, 상기 저온 절연막은,

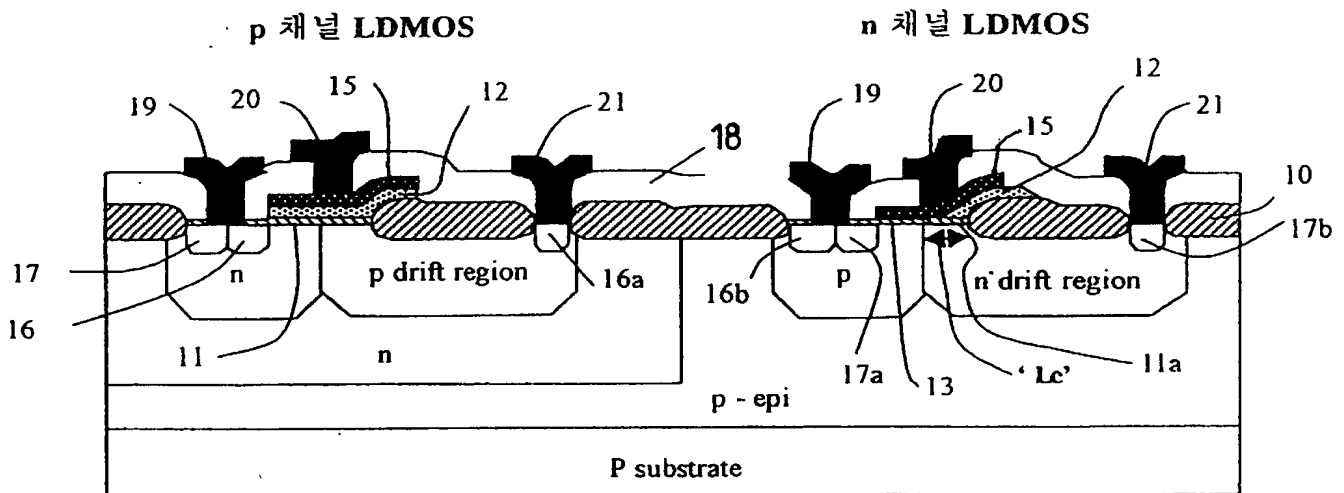
단일 박막이거나 서로 식각비가 다른 다층 절연막중 어느 하나인 것을 특징으로 하는 고전압 전력소자 제조방법.

도면

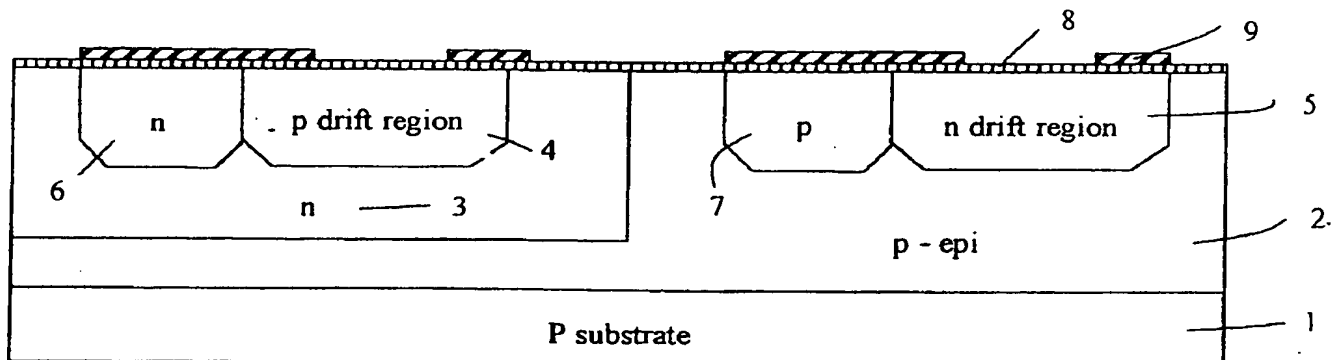
도면 1



도면 2

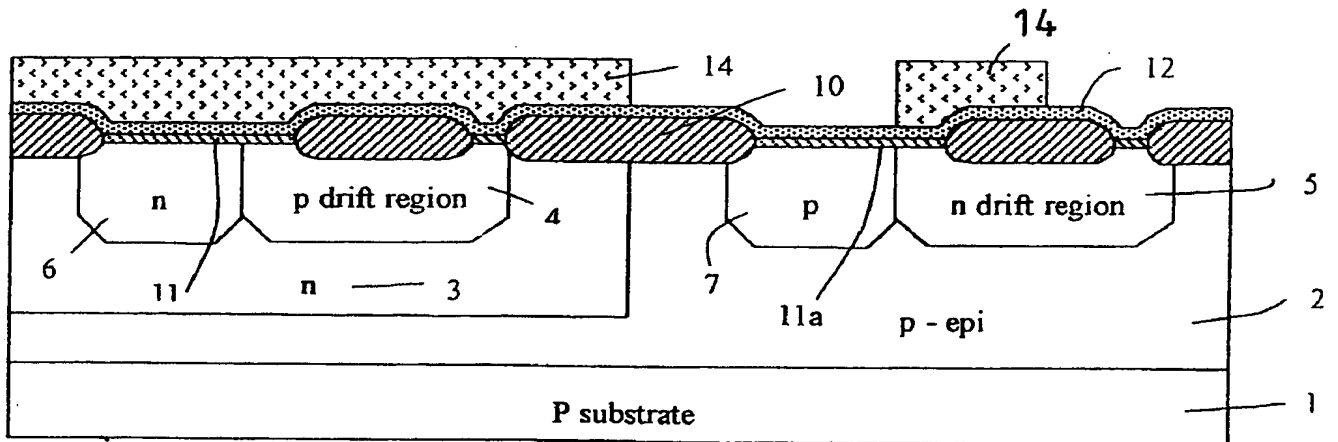


도면 3a

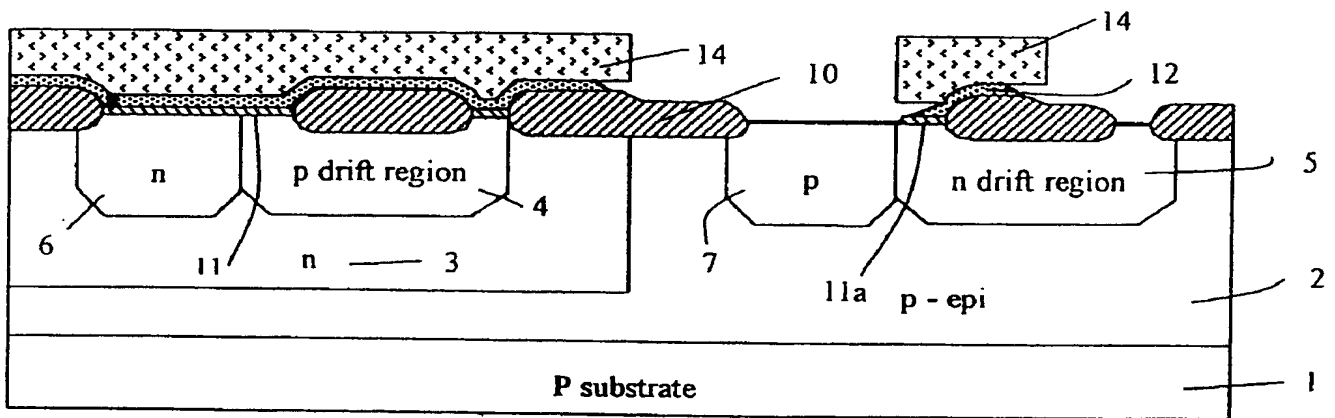




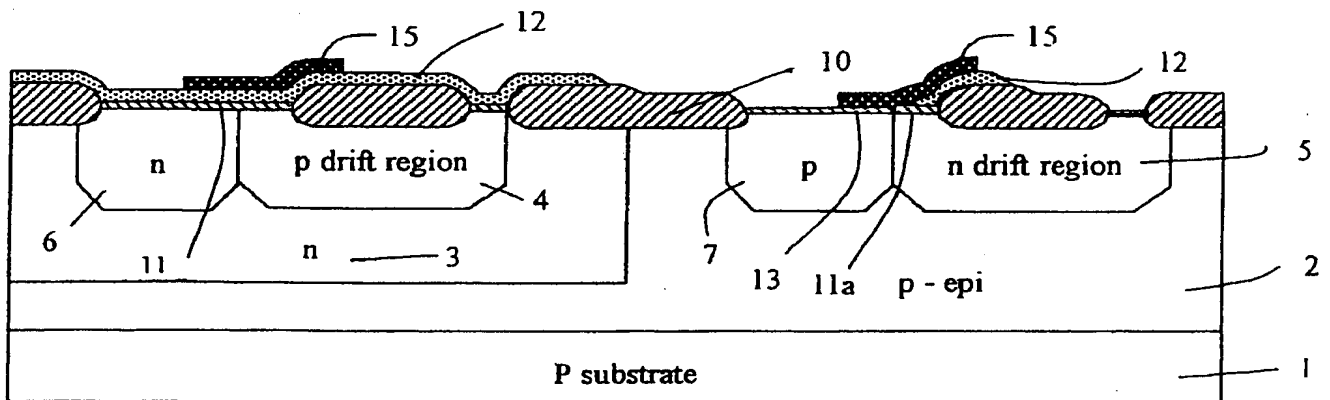
도면 3b



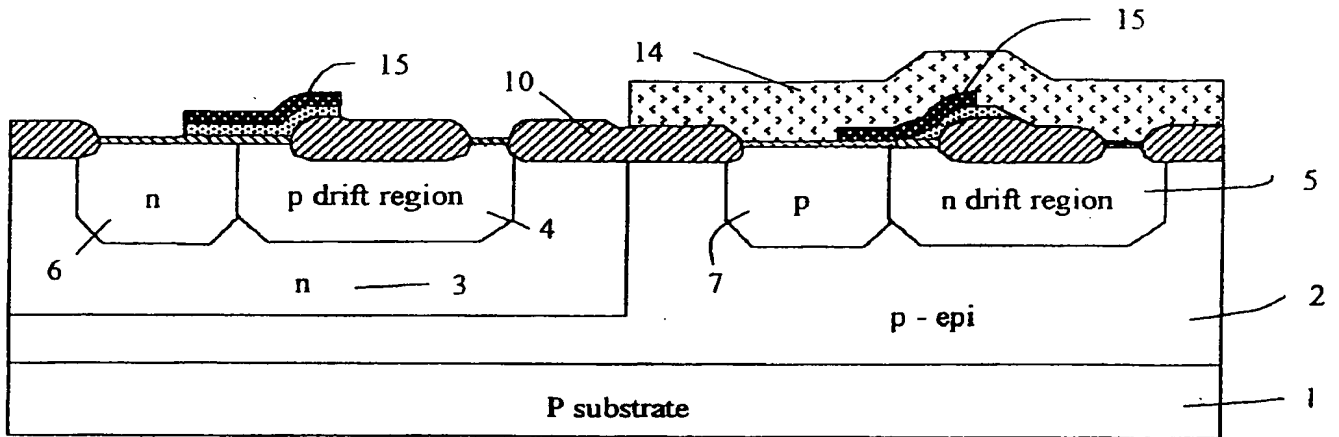
도면 3c



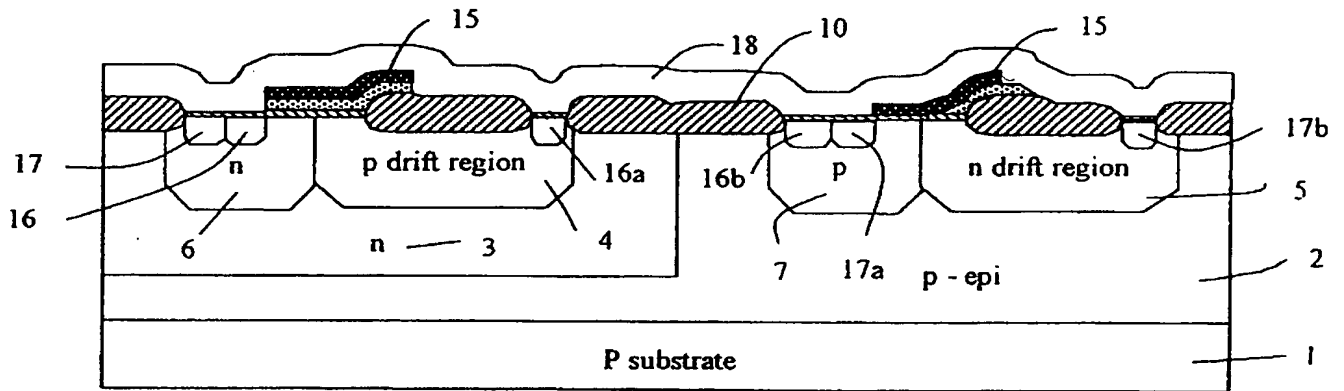
도면 3d



도면 3e



도면 3f



도면 3g

